

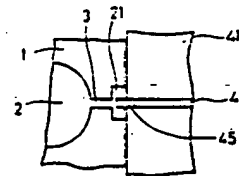
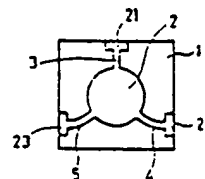
H01P5/02

(54) CIRCULATOR

(11) 57-171805 (A) (43) 22.10.1982 (19) JP
(21) Appl. No. 56-57503 (22) 16.4.1981
(71) FUJITSU K.K. (72) MASAYUKI ISHIZAKI(1)
(51) Int. CP. H01P1/387, H01P5/02

PURPOSE: To widen a band by providing stubs, which serve as capacitances for impedance correction and susceptances for compensation to external connection parts of plural strip conductor lines led out of a junction part center conductor formed on a ferrite substrate.

CONSTITUTION: On a dielectric substrate 1 made of a ferrite plate, etc., a circular junction part center conductor 2 is provided, and a DC magnetic field is applied at right angles to the surface of the substrate to form a circulator. The external connection terminal parts of strip conductor lines 3-5 led out of the conductor 3 in three directions are terminated by capacitance stubs 21-23 for impedance correction. Each of them is connected to the end part of a strip conductor line 42 arranged on a ceramic substrate 41 of another microwave circuit element side by a connection ribbon 45. Thus, the stubs 21-23 serve as susceptances for compensation, and the circulator has small-sized constitution and a wide band.



DOC

BEST AVAILABLE COPY

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭57-171805

⑤ Int. Cl.³
H 01 P 1/387
5/02

識別記号

庁内整理番号
6707-5 J
6707-5 J

⑬ 公開 昭和57年(1982)10月22日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ サーキュレータ

⑯ 発明者 叶内順一

川崎市中原区上小田中1015番地
富士通株式会社内

⑰ 特 願 昭56-57503

⑱ 出 願 昭56(1981)4月16日

⑲ 発 明 者 石崎正之

川崎市中原区上小田中1015番地
富士通株式会社内

⑳ 出 願 人 富士通株式会社

川崎市中原区上小田中1015番地

㉑ 代 理 人 弁理士 松岡宏四郎

明 細 書

1. 発明の名称

サーキ・レータ

2. 特許請求の範囲

マイクロストリップ回路構造の接合形サーキ・レータにおいて、フェライト基板の上に形成された接合部中心導体より複数導出したストリップ導体回路の外部接続端部に、該ストリップ導体回路のインピーダンス補正用容量と、外部回路との接続点の補償用キャパタンスとを兼ねたスタブを設けたことを特徴とするサーキ・レータ。

3. 発明の詳細な説明

本発明はサーキ・レータに係り、特に、マイクロストリップ回路構造の広帯域サーキ・レータに関するものである。

マイクロ波帯域回路等において広く用いられているマイクロストリップ回路構造の接合形サーキ・レータとしては、従来第1図のように構成されたものがある。即ち、フェライト板等からなる誘電体基板1上に、例えば円形の接合部中心導体2を

取付け、該中心導体2よりこの場合図示の如く、50Ωの特性インピーダンスを有する8本のストリップ導体回路3、4、5が導出配置され、更に前記誘電体基板1の表面全体にわたって図示しない接地導体が施されている。そしてかかる誘電体基板1をその面と垂直な方向に断線境界を加えて断線することにより所定のサーキ・レータ特性を得るものである。

この場合、当該サーキ・レータの帯域特性は狭帯域となる。そこでこれを広帯域化するためには、第2図に示すように通常円形の中心導体2より導出されたストリップ導体回路3、4、5の途上に図示の如くそれぞれインピーダンス補正用容量スタブ31、32、33を付設する構成がとられている。

第3図は、第1図に示した構成の狭帯域サーキ・レータと、第2図に示した構成の広帯域化したサーキ・レータの各帯域特性、即ち、順方向損失と逆方向損失とをそれぞれ実線と破線で示した。通例のようにサーキ・レータの使用できる範囲を逆方向損失量20dB以上とすると、上述のように

広帯域化することによって使用周波数範囲を約8倍に拡大できることが明らかである。

ところが第2図の如き構成により広帯域化したサーキ・レータは、第1図に示した従来の狭帯域サーキ・レータと比較した時、インピーダンス補正用容量スタブ21, 22, 23を付設するために形状寸法が大きくなる欠点がある。また一方、上述の如き従来のサーキ・レータと他のマイクロ波回路素子を接続する場合、電気的に接続すべき相互のストリップ導体回路間を導体リボン等によって接続する構成とられるが、単に接続しただけではこの時の各接続部分は、一般にインダクタンスとみられ、該接続部分の導体回路の特性インピーダンスが乱され、接続損失が増加する。従って第4図(a)に示すように、フェライト等からなる誘電体基板1上のサーキ・レータのストリップ導体回路、例えばセラミック等の基板41上に配設されたマイクロ波回路素子のストリップ導体回路42との接続には、図示のように他の広い導体リボン43を用いて接続部のインダクタンス L を等価的に打ち

消するようにするか、あるいは、第4図(b)に示すように同様の目的で相互のストリップ導体回路8及び42間を一般的な導体リボン45で接続する各接続部 α に、補償用の容量スタブ44, 44を付設するといった面的な接続構造がとられていた。

本発明は、上記した従来の欠点を比較的簡単な構成により除去し、小型化された広帯域のマイクロストリップ回路構造の接合形サーキ・レータを提供することを目的とするものである。

以下図面を用いて本発明の好ましい実施例について詳細に説明する。

第5図は、本発明に係るサーキ・レータの一実施例を平面図で示したもので、第2図と同導部分には同一符号を付した。

図において、1はフェライト板等からなる誘電体基板、2は円形の接合中心導体であり、3, 4, 5は前記中心導体2よりこの場合三方に導出された60 Ω の特性インピーダンスをもつストリップ導体回路である。そして本実施例においては、前記三方に導出配設されたストリップ導体回路3, 4,

5の外部接続部を図示のように、当該サーキ・レータを広帯域化するために付設したインピーダンス補正用容量スタブ21, 22, 23によって終端する構成とする。即ち、第2図の従来の構成における各インピーダンス補正用容量スタブ21, 22, 23から外部接続部側の各ストリップ導体回路部分を削除した構成とし、前記各補正用容量スタブ21, 22, 23で終端された外部接続部を外部回路との接続部分に生ずる導体回路の特性インピーダンスが乱されることを補償する。容量スタブとも兼ねた構造とする。

このように構成されたサーキ・レータにあっては、従来の構成の各インピーダンス補正用容量スタブ21, 22, 23から外部接続部側に係る各ストリップ導体回路部分が削除されたものであるから、その配設領域の基板面積が削減できるので小型化が可能となる他、当該サーキ・レータと、他のマイクロ波回路素子との電気的な接続も第6図に示すように、サーキ・レータ側の前記基板1上の例えばストリップ導体回路8と通なる前記補正用容量

スタブ21により終端された外部接続部と回路素子側のセラミック基板41上に配設せるストリップ導体回路42の端部とを通常一般的に用いられている接続リボン45によって接続すれば、前記補正用容量スタブ21によって終端された外部接続部が、他の回路素子との接続部における導体回路の特性インピーダンスの乱れを補償する容量スタブをも兼ねられているので、かかる接続構造も簡単となる。

以上の説明から明らかなように本発明によれば中心導体より導出したストリップ導体回路の外部接続部を該ストリップ導体回路のインピーダンス補正用容量と、外部回路との接続部の補償用セブタンスとを兼ねたスタブで終端する簡単な構成とすることにより広帯域特性を有するマイクロストリップ回路構造の接合形サーキ・レータを小面積に得ることが可能となると共に、他の回路素子との接続構成が簡単かつ低損失に実施することができ利点を有する。よって他のマイクロ波回路素子と一体的に組合せて、従来よりも小型化

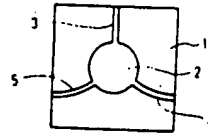
されたマイクロ波共振回路 (M I C) を構成することができる。

4. 図面の簡単な説明

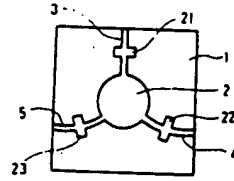
第1図～第2図は従来のマイクロストリップ線路構造の整合形サーク・レータを説明するための平面図、第3図はサーク・レータの特性特性を説明する図、第4図はサーク・レータと他のマイクロ波回路素子との接続構造を説明する平面図、第5図及び第6図は、本発明に係るマイクロストリップ線路構造の整合形サーク・レータの一実施例を示す平面図である。

図において、1は誘電体基板、2は中心導体、3、4、5はストリップ導体線路、21、22、23は外部接続部を構成するインピーダンス補正用容量スタブを示す。

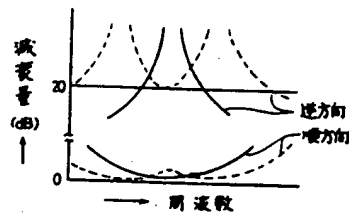
第1図



第2図

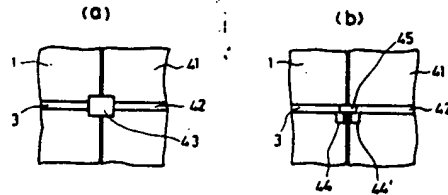


第3図

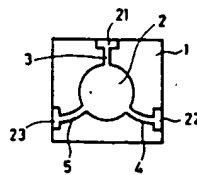


代理人 弁理士 松岡 宏 四郎

第4図



第5図



第6図

